

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-274853

(43)Date of publication of application : 08.10.1999

(51)Int.Cl.

H03B 5/18
H01L 27/095
H03F 3/60

(21)Application number : 10-072303

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 20.03.1998

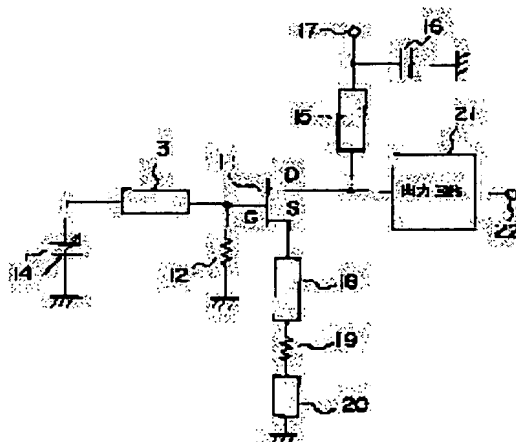
(72)Inventor : SHIZUKI YASUSHI

(54) HIGH FREQUENCY INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a high frequency integrated circuit device with a self-bias circuit capable of reducing a chip area and facilitating designing by inserting a specified resistor between the other tip of a first stub and the source or the emitter of a transistor.

SOLUTION: The source of FET 11 is connected to one tip of a resistor 19 constituting the self-bias circuit through a source stub 18 and the other tip of the resistor 19 is grounded by way of a short stub 20. The resistor 19 consists of a resistor film formed on MMIC and its resistance R_b is expressed like next. $R_b = R L_r / W_r$ However, R shows the sheet resistance of a resistance material on MMIC and W_r shows the width of a resistor R19. Then, it is designated that in this resistance R_b , an allowable current which can flow through the resistor R19 is sufficiently large with respect to a current flowing through FET 11. Stable characteristic is obtained by allowing this resistor R19 to operate as the self-bias circuit.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-274853^V

(43) 公開日 平成11年(1999)10月8日

(51) Int.Cl.⁵

識別記号

F I

H 0 3 B 5/18

H 0 3 B 5/18

C

H 0 1 L 27/095

H 0 3 F 3/60

H 0 3 F 3/60

H 0 1 L 29/80

E

審査請求 未請求 請求項の数 2 O L (全 8 頁)

(21) 出願番号

特願平10-72303

(22) 出願日

平成10年(1998)3月20日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 志津木 康

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

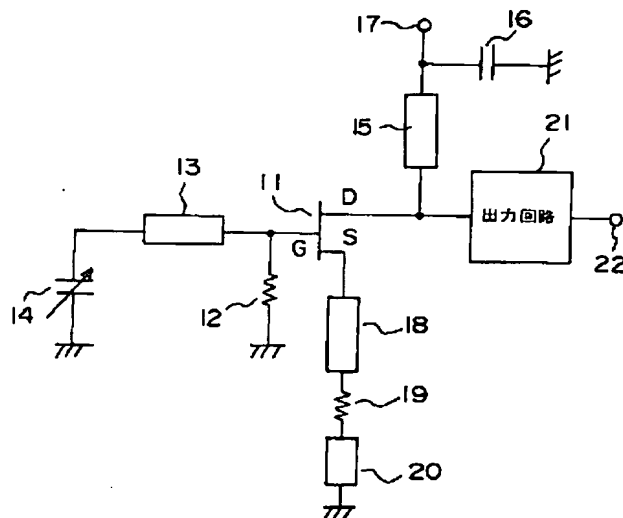
(74) 代理人 弁理士 鈴江 武彦 (外6名)

(54) 【発明の名称】 高周波集積回路装置

(57) 【要約】

【課題】 チップ面積を小さくでき、かつ設計が容易な自己バイアス回路を有する高周波集積回路装置を提供する。

【解決手段】 発振器回路を構成するFET 11のソースに接続された負性抵抗を発現するためのソーススタブ18とショートスタブ20との間に、自己バイアス回路を構成する抵抗19を挿入し、MIMキャパシタを必要としない自己バイアス回路を構成する。



【特許請求の範囲】

【請求項 1】自己バイアスされたトランジスタを含む機能回路を有する高周波集積回路装置において、

一端が基準電位点に接続された第 1 のスタブの他端と、前記トランジスタのソースまたはエミッタとの間に、

$$R_b \leq Z_0 \tan \beta L_1$$

但し、 $\beta = 2\pi(\epsilon_r)^{1/2} \cdot f_0 / C$

C：光速

L₁：前記第 1 のスタブの長さ

ϵ_r ：前記第 1 のスタブの実効誘電率

Z₀：前記第 1 のスタブの特性インピーダンス

f₀：高周波集積回路装置の使用中心周波数

なる抵抗値 R_b の抵抗を挿入したことを特徴とする高周波集積回路装置。

【請求項 2】自己バイアスされたトランジスタを含む回路を有する高周波集積回路装置において、

一端が基準電位点に接続された第 1 のスタブの他端と、前記トランジスタのソースまたはエミッタに一端が接続された第 2 のスタブの他端との間に、

$$R_b \leq Z_0 \tan \beta L_1$$

但し、 $\beta = 2\pi(\epsilon_r)^{1/2} \cdot f_0 / C$

C：光速

L₁：前記第 1 のスタブの長さ

ϵ_r ：前記第 1 のスタブの実効誘電率

Z₀：前記第 1 のスタブの特性インピーダンス

f₀：高周波集積回路装置の使用中心周波数

なる抵抗値 R_b の抵抗を挿入したことを特徴とする高周波集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、MMIC（モノリシックマイクロ波集積回路）などの高周波集積回路装置に係り、特に自己バイアスされたトランジスタを含む機能回路を有する高周波集積回路装置に関する。

【0002】

【従来の技術】近年、周波数資源の枯渇により、マイクロ波、ミリ波といった超高周波が通信用途に使用されるようになってきている。このようなマイクロ波帯、ミリ波帯による通信を実現するためのキーコンポーネントとして、MMIC（マイクロ波モノリシック集積回路）が挙げられる。MMIC は、HEMT、MESFET または HBT といった超高周波でも良好な特性を持つ能動素子と、伝送線路、MIM キャパシタおよび抵抗などの受動素子を同一基板上に形成して構成される。

【0003】図 9 に、従来の MMIC の回路例として、発振器回路を構成した例を示す。同図において、電界効果トランジスタ（FET）101 のゲートは、スタブ 102 を介して発振周波数可変のための可変容量キャパシタ 103 に接続されるとともに、スタブ 104 の一端に接続される。スタブ 104 の他端はキャパシタ 105 を

介して接地されるとともに、ゲートバイアス印加端子 106 に接続される。

【0004】FET 101 のソースは発振に必要な負性抵抗を生成するためのスタブ 107 を介して接地され、これにより FET 101 は不安定な状態とされている。FET 101 のドレインは、出力回路 111 の入力側に接続されるとともに、スタブ 108 の一端に接続され、スタブ 108 の他端はキャパシタ 109 を介して接地されるとともに、ドレインバイアス印加端子 110 に接続されている。出力回路 111 の出力側は、出力端子 112 に接続されている。

【0005】この発振器回路においては、FET 101 のゲートおよびドレインのバイアス回路を信号伝送線路よりも高いインピーダンスに見せるようにするために、バイアス回路を構成するスタブ 104、108 を $\lambda/4$ （ λ は使用中心周波数における波長）程度の長さの伝送線路で構成し、かつ接地用キャパシタ 105、109 を大容量の MIM キャパシタで構成する。このため、バイアス回路の占有面積が大きくなり、MMIC のチップ面積が増大するばかりでなく、バイアス印加端子 106、110 を介して MMIC 外部からバイアス電圧を印加する必要があり、外部バイアス用電源が 2 つ必要となる。

【0006】これらの欠点を緩和する手段の一つとして、図 10 に示すように FET 201 のソースに抵抗 202 とキャパシタ 203 の並列回路からなるバイアス回路を接続する方法がある。このようなバイアス回路の形式は一般に自己バイアス型と呼ばれ、FET のしきい値電圧が負の場合に良く使われる。

【0007】この自己バイアス回路によると、FET 201 のゲートに与える電位を接地電位とした場合でも、FET 201 のゲート・ソース間電圧 V_{gs} が $V_{gs} = -(I_d \times R)$

但し、 I_d ：FET 201 のドレイン電流

R202：抵抗 202 の抵抗値

となる。このため動作時の V_{gs} が負であれば、 I_d と R202 の値を適当に選ぶことによって、バイアス電源としてはソースバイアス用電源のみを用意だけで FET 201 を動作させることができる。さらに、バイアス電源の電圧が変動したり、または FET 201 の特性が設計値よりずれた場合、自己バイアス回路の抵抗 202 により負帰還がかかるため、FET 201 の特性変動を抑えることができる。

【0008】ところで、自己バイアス回路を構成する抵抗 202 は直流領域でのみ働けばよく、高周波領域では信号成分を減衰させ、特性を劣化させる要素となる。これを防ぐため、図 10 の回路では抵抗 202 に並列にキャパシタ 203 を接続して、高周波領域における自己バイアス回路のインピーダンスを十分に下げているが、このキャパシタ 203 には大容量の MIM キャパシタを必要とするため、チップ面積の増大は避けられない。

【0009】

【発明が解決しようとする課題】 上述したように、自己バイアス回路の採用によってバイアス用電源の数を減らすことができる反面、MMIC上の抵抗とMIMキャパシタの並列回路によって構成される従来の自己バイアス回路においては、高周波領域で十分にインピーダンスを下げるような大容量のMIMキャパシタを形成するには大面積が必要であり、MMICのチップ面積が増大するという問題点がある。

【0010】 また、このような自己バイアス回路をマイクロ波やミリ波帯で使用する場合、自己バイアス回路のMIMキャパシタが分布定数線路として見えてしまうため、このMIMキャパシタのインピーダンスを考慮してMMICの設計を行う必要がある。しかし、MIMキャパシタ周囲のレイアウト状況によっては、MIMキャパシタのインピーダンスを求めることが難しく、このことが抵抗とMIMキャパシタの並列回路で構成される自己バイアス回路を含んだMMICの設計を困難にしていた。

【0011】 本発明は、このような自己バイアス回路を用いた場合の問題点を解決し、チップ面積を小さくでき、かつ設計が容易な自己バイアス回路を有する高周波集積回路装置を提供することを目的とする。

【0012】

【課題を解決するための手段】 上記の課題を解決するため、本発明では自己バイアスされたトランジスタを含む機能回路を有する高周波集積回路装置において、一端が基準電位点（例えば接地電位点）に接続された第1のスタブ（ショートスタブ）の他端とトランジスタのソースまたはエミッタとの間、あるいは第1のスタブとトランジスタのソースまたはエミッタに一端が接続された第2のスタブの他端との間に抵抗が挿入される。

【0013】 自己バイアスされたトランジスタを含む機能回路は、具体的には例えば発振器回路を構成する。この場合、第1のスタブ、または第1のスタブと第2のスタブを足し合わせたものが発振器回路に必要な負性抵抗を発現する。

【0014】 ここで、この抵抗の抵抗値 R_b は、

$$R_b \leq Z_o \tan \beta L_1$$

$$\text{但し、} \beta = 2\pi (\epsilon_r)^{1/2} \cdot f_o / C$$

C : 光速

L_1 : 第1のスタブの長さ

ϵ_r : 第1のスタブの実効誘電率

Z_o : 第1のスタブの特性インピーダンス

f_o : 高周波集積回路装置の使用中心周波数に設定される。

【0015】 このように構成された本発明の高周波集積回路装置では、第1のスタブの他端とトランジスタのソースまたはエミッタとの間、あるいは第1のスタブとトランジスタのソースまたはエミッタに一端が接続された

第2のスタブの他端との間に自己バイアス回路を構成する抵抗が挿入されている。

【0016】 第1のスタブ上の電流分布を見ると、基準電位点から離れるに従い電流は小さくなり、この電流が小さい位置に抵抗が接続されていることになる。すなわち、自己バイアス回路を構成する抵抗に流れる電流は小さく、特に、この抵抗の抵抗値 R_b を上述のように $R_b \leq Z_o \tan \beta L_1$ を満たすように選ぶと、電流は非常に小さくなる。

【0017】 従って、この抵抗による高周波領域での信号損失が減少するため、従来の自己バイアス回路のように抵抗に対して並列に大容量のMIMキャパシタを接続する必要がなくなるか、キャパシタを接続する場合でも、その容量は非常に小さくてよいので、大容量のMIMキャパシタを設けることによるチップ面積の増大が避けられる。また、MIMキャパシタを含むMMICでは、MIMキャパシタのインピーダンスを考慮して設計を行う必要があり、これがMMICの設計を困難にする原因となっているが、このような設計上の問題も同時に解消される。

【0018】

【発明の実施の形態】 以下、図面を参照して本発明の実施の形態を説明する。なお、以下の実施形態では自己バイアスされたトランジスタを含む機能回路の例として発振器回路を示しているが、その他の非線形回路、例えば通倍器やミキサにも適用することができる。

【0019】 また、以下の説明では一端が基準電位点である接地点に接続されたスタブをショートスタブと呼び、トランジスタ（FET）のソースに一端が接続されたスタブをソーススタブと呼ぶことにする。ソーススタブは、機能としては発振器回路に必要な負性抵抗を発現させるために付加されるスタブである。

【0020】 （第1の実施形態）図1は、本発明の第1の実施形態に係るMMICの要部の構成を示す回路図である。図1において、FET11は発振器回路の増幅部を構成する能動素子であり、ゲートはゲートバイアス用抵抗12を介して接地されると共に、ゲートスタブ13を介して発振周波数を可変にするための可変容量キャパシタ14に接続されている。FET11のドレインはドレインバイアス用スタブ15の一端に接続され、ドレインバイアス用スタブ15の他端は接地用キャパシタ16を介して接地されると共に、ドレインバイアス端子17に接続されている。

【0021】 FET11のソースは、負性抵抗を発現するためのソーススタブ18を介して自己バイアス回路を構成する抵抗19の一端に接続され、抵抗19の他端はショートスタブ20を介して接地されている。そして、FET11のドレインから出力回路21を介して出力端子22に発振出力が取り出される構成となっている。出力端子22は、通常、図示しない終端抵抗を介して接地

される。

【0022】次に、本実施形態の回路の動作を説明する。図2に示されるように、抵抗19はMMIC上に形成された抵抗膜からなり、その抵抗値 R_b は以下のように表される。

$$R_b = R \cdot L_r / W_r$$

但し、 R ：MMIC上の抵抗材料のシート抵抗

L_r ：抵抗19の長さ

W_r ：抵抗19の幅

そして、この抵抗値 R_b は抵抗19に流すことのできる許容電流がFET11に流れる電流に対して十分大きくなるように設計される。この場合、抵抗19は長さ L_r 、幅 W_r の伝送線路として見なせるため、設計が非常に容易となる。

【0023】本実施形態の回路では、抵抗19が自己バイアス回路として働くことにより、電源電圧、温度等の外部環境の変動に対して、より安定な特性を得ることができる。また、特に本実施形態のような発振器回路の場合、抵抗19を設けることにより直流的に安定化するため、大振幅動作時の振幅の揺らぎによる位相雑音の低下を防ぐことができ、出力の大きな発振器回路を実現することが可能となる。

【0024】さらに、抵抗19の抵抗値 R_b を適切に選ぶことによって、図10に示した従来の自己バイアス回路で必要とした大容量のMIMキャパシタが不要となる。この効果を図3を用いて説明する。

【0025】一般に、ショートスタブの長さを L 、実効誘電率を ϵ_r 、特性インピーダンスを Z_0 とすると、ショートスタブに入力する高周波信号の中心周波数を f_0 とした時の線路インピーダンス Z は、図3(a)に示されるような特性となり、

$$Z = Z_0 \tan \beta L$$

で表される。但し、 Z_0 はショートスタブの特性インピーダンス、 β は $\beta = 2\pi(\epsilon_r)^{1/2} \cdot f_0 / C$

(C ：光速)で表されるショートスタブの位相定数である。

【0026】図3(b)に、このショートスタブ上の電流分布を示す。縦軸の $|I|$ は電流の絶対値である。同図に示されるように、ショートスタブの接地端(図中 $L=0$ の点)から離れるに従い電流は小さくなり、接地端からの線路長が $\lambda/4$ の場所では、電流はほぼ零となる。

【0027】従って、図1に示したようにショートスタブ20の接地端から離れた位置に、つまりショートスタブ20の接地端と反対側の端とソーススタブ18との間に抵抗19を挿入すると、抵抗19に流れる電流が小さくなるので、高周波領域での抵抗19による信号損失が減少する。このため、抵抗19による信号損失を減少させる目的で、図10に示した従来の自己バイアス回路のように抵抗に対して並列に大容量のMIMキャパシタを

接続する必要がなくなるか、あるいは抵抗19に並列にキャパシタを接続する場合でも、その容量は非常に小さくてよい。

【0028】特に、ショートスタブ20の長さを図3中に示すように L_1 としたとき、抵抗19の抵抗値 R_b が $R_b \leq Z_0 \tan \beta L_1$

を満たしていれば、使用中心周波数(本実施形態の場合は発振周波数) f_0 で抵抗19に流れる電流が非常に小さくなり、抵抗19による信号損失はほとんどなくなり、並列のMIMキャパシタは不要となる。従って、大容量のMIMキャパシタを設けることによるチップ面積の増大という問題がなくなる。

【0029】また、MIMキャパシタを含むMMICでは、MIMキャパシタのインピーダンスを考慮して設計を行う必要があるため、MIMキャパシタ周囲のレイアウト状況によってはMMICの設計が困難になるという問題があったが、こうした設計上の問題も本実施形態の構成により解消される。

【0030】(第2の実施形態)図4は、本発明の第2の実施形態に係るMMICの要部の回路図である。図1と同一部分に同一符号を付して説明すると、本実施形態ではFET11のソースが二つの電極に別れており、それぞれの電極にソーススタブ18a、18b、抵抗19a、19b、およびショートスタブ20a、20bが接続されている点が第1の実施形態と異なっている。

【0031】図5に、本実施形態のMMICのレイアウトを示す。図5(a)はMMICの平面図、(b)は(a)のA-A'線に沿う断面図である。図5ではFET11をいわゆるT型トランジスタで実現し、ソーススタブ18a、18bおよびショートスタブ20a、20bをコプレーナ線路で実現している。

【0032】図5に示されるように、MMIC基板30上に接地導体膜31とFET11およびコプレーナ線路が形成されている。FET11は前述した通りT型トランジスタであり、32はゲート電極、33はドレイン電極、34a、34bはソース電極である。ソーススタブ18a、18bおよびショートスタブ20a、20bは、コプレーナ線路、すなわち接地導体膜31に囲まれるように形成された伝送線路からなる。ソーススタブ18a、18bの一端はFET11のソース電極34a、34bにそれぞれ接続され、ショートスタブ20a、20bの一端は接地導体膜31に接続されている。

【0033】そして、ソーススタブ18a、18bの他端とショートスタブ20a、20bの他端との間に、ソーススタブ18a、18b、ショートスタブ20a、20bの端部に両端を接して形成された抵抗膜からなる抵抗19a、19bがそれぞれ形成されている。

【0034】この場合、抵抗19a、19bの膜はMMIC基板30の表面に形成されるため、抵抗19a、19bとコプレーナ線路からなるソーススタブ18a、1

7

8bおよびショートスタブ20a, 20bとの接続は、ほぼ連続的に行われる。従って、抵抗19a, 19bは長さ L_r 、幅 W_r 、両側の接地導体膜31とのギャップが G_r のコプレーナ線路として取り扱うことができるため、容易にMMICに組み込むことができる。

【0035】また、FET11にT型トランジスタを用いた場合、本実施形態のように二つのソース電極34a, 34bにそれぞれ対応させて負性抵抗を発現するためのソーススタブ18a, 18bを設けることが多い。これに伴い、本実施形態ではソーススタブ18a, 18bにそれぞれ対応させて抵抗19a, 19bおよびショートスタブ20a, 20bを設けている。

【0036】このような場合、ショートスタブ20a, 20bの長さ(各々の接地端から抵抗19a, 19bまでの長さ)を L_{1a} , L_{1b} としたとき、抵抗19a, 19bの抵抗値 R_{ba} , R_{bb} を $R_{ba} \leq Z_0 \tan \beta L_{1a}$, $R_{bb} \leq Z_0 \tan \beta L_{1b}$ とすることにより、T型トランジスタの特性の対称性を保ち、大信号動作時の歪みを防ぐことができる。

【0037】また、MMIC上で $50\mu m$ 以上のゲート幅を持つT型トランジスタを発振器回路に使用する場合、T型トランジスタの特性がトランジスタ形成プロセスの状況により非対称な特性になる場合が多く、大振幅の出力を取り出す際に特性を劣化させる原因となる。これに対し、本実施形態では二つのソーススタブ18a, 18bの各々に対して抵抗19a, 19bを接続していることにより、T型トランジスタからなるFET11の特性の対称性が得られない場合であっても、抵抗19a, 19bによる負帰還作用によって特性が対称に近付くため、特性の劣化を伴うことなく大振幅の出力を取り出すことが可能となる。

【0038】(第3の実施形態)次に、本発明の第3の実施形態に係るMMICについて説明する。本実施形態のMMICの回路図は第2の実施形態と同じく図4に示した通りであり、レイアウト構成のみが第2の実施形態とは異なっている。

【0039】図6に、本実施形態のMMICのレイアウトを示す。図6(a)はMMICの平面図、(b)は(a)のB-B'線に沿う断面図である。本実施形態は、FET11をT型トランジスタで実現している点は第2の実施形態と同様であるが、ソーススタブ18a, 18bおよびショートスタブ20a, 20bをマイクロストリップ線路で実現している点が第2の実施形態と異なる。

【0040】すなわち、図6においてはMMIC基板40の裏面側に接地導体膜41が形成され、FET11が形成された表面と同一面上にマイクロストリップ線路からなるソーススタブ18a, 18bとショートスタブ20a, 20bおよび抵抗19a, 19bが形成されている。

8

【0041】本実施形態の構成によってもコプレーナ線路を用いた第2の実施形態と同様の効果を得ることができ、抵抗19a, 19bについてもマイクロストリップ線路からなるソーススタブ18a, 18bおよびショートスタブ20a, 20bとの接続がほぼ連続に行われることにより、長さ L_r 、幅 W_r 、位相定数 β のマイクロストリップ線路として取り扱うことが可能であるため、容易にMMICに組み込むことができ、設計は容易である。

【0042】(第4の実施形態)図7に、本発明の第4の実施形態に係るMMICの回路図を示す。図4と同一部分に同一符号を付して説明すると、本実施形態ではFET11の二つのソース電極の間に接続された安定化抵抗23が追加されている点が第2および第3の実施形態と異なる。

【0043】このようにするとFET11のゲート幅が大きい場合、またはFET11の二つのソース電極が位置が離れた場合でも、追加した安定化抵抗23によりさらに安定化を図ることができる。また、抵抗19a, 19bの値がばらついた場合でも、安定化抵抗23によりFET11の二つのソース電極の電位が一定となり、発振器回路の出力が安定化するという効果が得られる。発振器回路では、負性抵抗を発現するためのソーススタブ18a, 18bがあるため、安定化抵抗23の抵抗値は発振周波数でのソーススタブ18a, 18bのインピーダンスと比較して小さければよい。

【0044】図8に、本実施形態のMMICのレイアウトを示す。図8(a)はMMICの平面図、(b)は(a)のC-C'線に沿う断面図である。図8では第2の実施形態と同様にFET11をT型トランジスタで実現し、ソーススタブ18a, 18bおよびショートスタブ20a, 20bを含む各伝送線路をコプレーナ線路で実現している。本実施形態の場合、FET11の二つのソース電極34a, 34bがゲート電極32から引き出される伝送線路35を間に挟んで位置的に離れている。そして、ソース電極34a, 34bに接続された伝送線路36a, 36bの間に安定化抵抗23が形成されている。

【0045】安定化抵抗23および伝送線路36a, 36bは、MMIC基板30上の接地導体膜31、ソーススタブ18a, 18b、抵抗19a, 19bおよびショートスタブ20a, 20b等が形成された表面と同一面上に、ゲート電極32から引き出された伝送線路35と交差して形成されており、安定化抵抗23は伝送線路32の直下に位置している。そして、伝送線路23は図8(b)に示されるように誘電体膜37により安定化抵抗23および伝送線路36a, 36bと電気的に分離されている。なお、誘電体膜37に代えてエアブリッジを用いることも可能である。

【0046】なお、本実施形態では伝送線路がコプレー

ナ線路で構成され、かつ二本のソーススタブ 18 a, 18 b が設けられた例を示しているが、伝送線路は第 3 の実施形態と同様にマイクロストリップ線路でもよく、またソーススタブが一本の場合でも二つのソース電極間に接続された安定化抵抗を設けることにより、同様の効果を得ることができる。

【0047】なお、上記実施形態ではトランジスタとして FET を用いた回路について説明したが、バイポーラトランジスタを用いた回路にも本発明は適用することができる。バイポーラトランジスタの場合、FET のゲート、ドレイン、ソースをそれぞれベース、コレクタ、エミッタに置き換えて考えればよい。

【0048】

【発明の効果】以上説明したように、本発明によれば自己バイアスされたトランジスタを含む機能回路を有する高周波集積回路装置において、ショートスタブの基準電位点側の端と反対側の端とトランジスタのソースまたはエミッタとの間に抵抗を挿入することにより、自己バイアス回路に大容量の MIM キャパシタを不要としてチップ面積の減少を図り、かつ設計を容易にすることができる。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施形態に係る MMIC の要部の回路図

【図 2】第 1 の実施形態の要部を拡大して示す平面図

【図 3】ショートスタブの長さとのインピーダンスおよび電流との関係を示す図

【図 4】第 1 の実施形態に係る MMIC のレイアウトを示す平面図および A-A' 線に沿う断面図

【図 5】本発明の第 2 および第 3 の実施形態に係る MMIC の要部の回路図

【図 6】第 2 の実施形態に係る MMIC のレイアウトを

示す平面図および B-B' 線に沿う断面図

【図 7】本発明の第 4 の実施形態に係る MMIC の要部の回路図

【図 8】第 4 の実施形態に係る MMIC のレイアウトを示す平面図および C-C' 線に沿う断面図

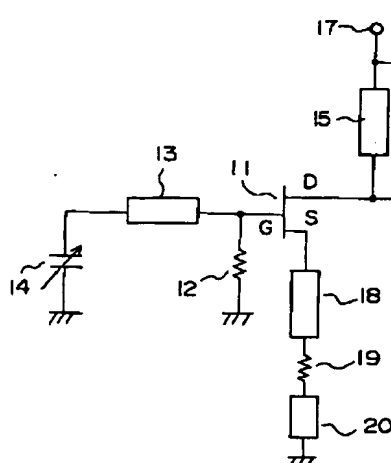
【図 9】従来の MMIC の発振器回路の回路図

【図 10】従来の自己バイアス回路の回路図

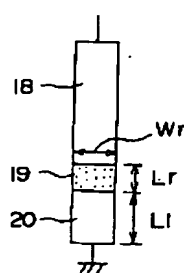
【符号の説明】

- 11…FET
- 12…ゲートバイアス用抵抗
- 13…ゲートスタブ
- 14…可変容量キャパシタ
- 15…ドレインスタブ
- 16…接地用キャパシタ
- 17…ドレインバイアス端子
- 18, 18 a, 18 b…ソーススタブ
- 19, 19 a, 19 b…抵抗
- 20, 20 a, 20 b…ショートスタブ
- 21…出力回路
- 22…出力端子
- 23…安定化抵抗
- 30…MMIC 基板
- 31…接地導体膜
- 32…ゲート電極
- 33…ドレイン電極
- 34 a, 34 b…ソース電極
- 35…伝送線路
- 36 a, 36 b…伝送線路
- 37…誘電体膜
- 40…MMIC 基板
- 41…接地導体膜

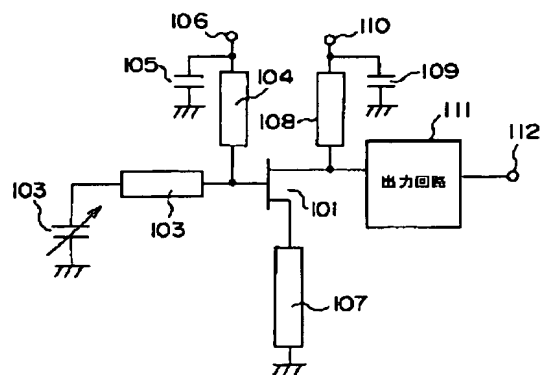
【図 1】



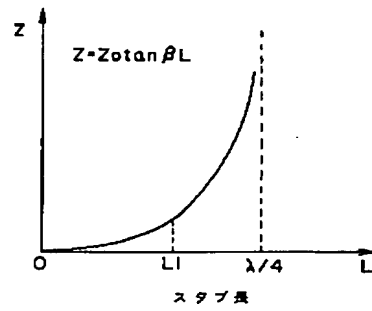
【図 2】



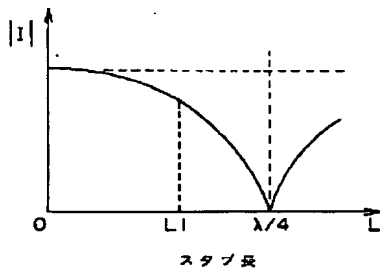
【図 9】



【図 3】

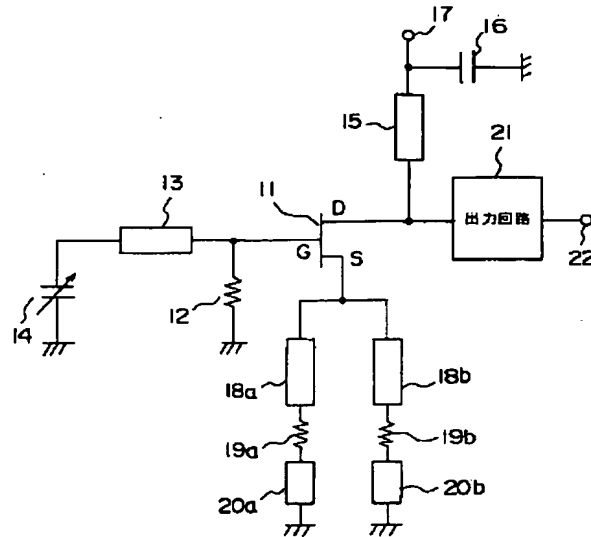


(a)

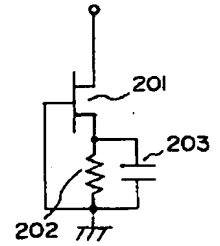


(b)

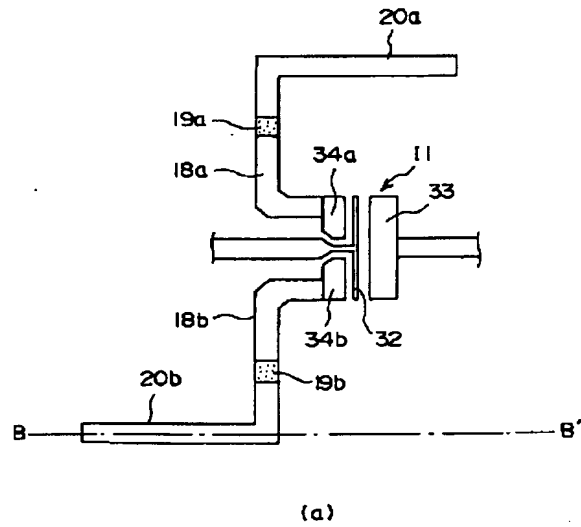
【図 4】



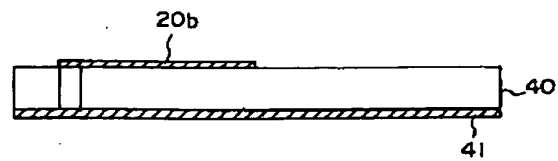
【図 10】



【図 6】

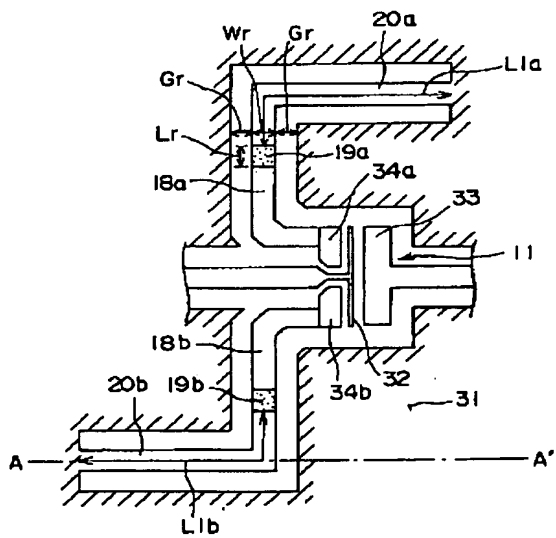


(a)

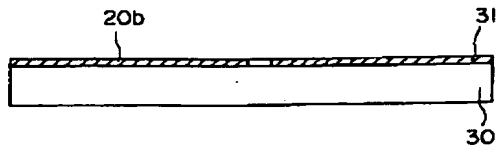


(b)

【図 5】

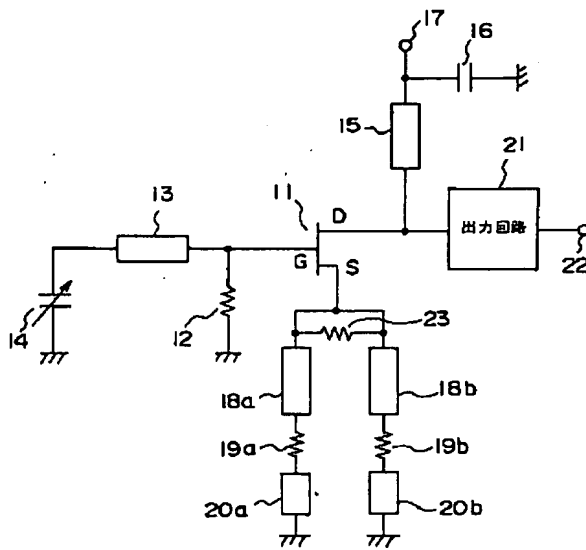


(a)

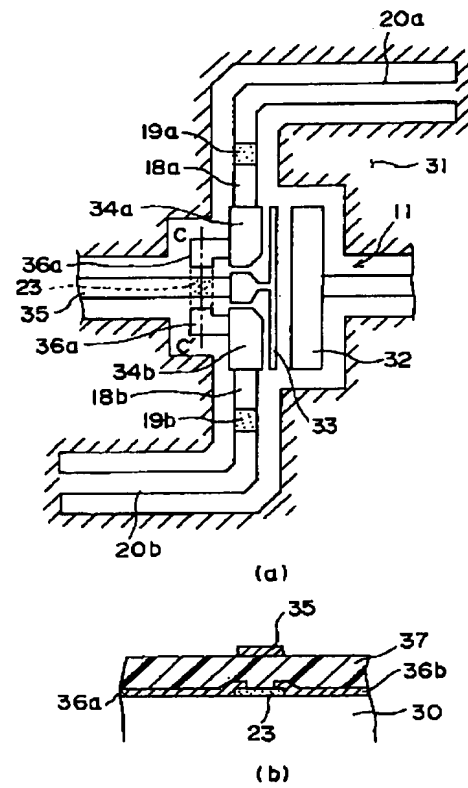


(b)

【図 7】



【図 8】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.